

⑬ **BUNDESREPUBLIK
DEUTSCHLAND**

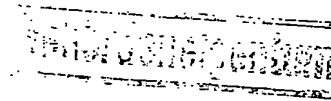


**DEUTSCHES
PATENTAMT**

⑫ **Offenlegungsschrift**
⑪ **DE 37 05 176 A 1**

⑤① Int. Cl. 4:
G 10 K 15/02

②① Aktenzeichen: P 37 05 176.8
②② Anmeldetag: 18. 2. 87
②③ Offenlegungstag: 1. 9. 88



DE 37 05 176 A 1

⑦① Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

⑦② Erfinder:
Schenk, Heinrich, Dr.-Ing., 8000 München, DE

⑤④ **Digitalsignalumsetzer mit nichtlinearer Umsetzkennlinie**

Mit Hilfe von Digitalsignalumsetzern gemäß der vorliegenden Erfindung sollen Eingangs-Digitalsignale in von diesen nichtlinear abhängige Ausgangs-Digitalsignale mit einem geringen schaltungstechnischen Aufwand umgesetzt werden können.

Bei dem Digitalsignalumsetzer werden von den Eingangs-Digitalsignalen lediglich durch festgelegte Signalelemente gebildete Signalelemente-Kombinationen zur Auswahl eines ihnen jeweils fest zugeordneten Segmentes der Umsetzkennlinie herangezogen. Für das jeweilige Segment wird ein Ausgangs-Digitalsignal y der Form $y = a_i x + b_i$ gebildet. Dabei stellen x das jeweils umzusetzende Eingangs-Digitalsignal und a_i, b_i ein dem jeweils ausgewählten Segment zugeordnetes Koeffizienten-Paar dar.

Der Digitalsignalumsetzer ist als nichtlinearer Echokompensator in Datenübertragungseinrichtungen für die Übertragung von Digitalsignalen im Gleichlageverfahren über Zweidraht-Leitungen einsetzbar.

DE 37 05 176 A 1

1. Digitalsignalumsetzer mit nichtlinearer Umsetzkennlinie, insbesondere Echosignalkompensator, für die Umsetzung von eine erste Anzahl von Signalelementen aufweisenden Eingangs-Digitalsignalen in von diesen nichtlinear abhängige Ausgangs-Digitalsignale, die jeweils eine zweite, gegebenenfalls von der ersten Anzahl von Signalelementen abweichende Anzahl von Signalelementen aufweisen, **dadurch gekennzeichnet**, daß von den Eingangs-Digitalsignalen lediglich durch festgelegte Signalelemente gebildete Signalelemente-Kombinationen zur Auswahl eines ihnen jeweils fest zugeordneten Segmentes der Umsetzkennlinie herangezogen werden und daß für das jeweilige Segment ein Ausgangs-Digitalsignal y der Form $y = a \cdot x + b_i$ gebildet wird, wobei x das jeweils umzusetzende Eingangs-Digitalsignal und a_i, b_i ein dem jeweils ausgewählten Segment zugeordnetes Koeffizienten-Paar darstellen.

2. Digitalsignalumsetzer nach Anspruch 1, dadurch gekennzeichnet, daß eine Codiereinrichtung (COD) vorgesehen ist, welche anhand der in den Eingangs-Digitalsignalen jeweils auftretenden festgelegten Signalelemente das jeweils in Frage kommende Segment der Umsetzkennlinie auswählt und ein das jeweilige Segment bezeichnendes Adressensignal bereitstellt, daß mit den Adressensignalen eine Speicheranordnung (SP1, SP2) beaufschlagt ist, in welcher die den einzelnen Segmenten der Umsetzkennlinie zugeordneten Koeffizienten-Paare (a_i, b_i) gespeichert sind und welche auf das Auftreten eines Adressensignals hin das diesem zugeordnete Koeffizienten-Paar bereitstellt, und daß ein Rechenwerk vorgesehen ist, welches nach Maßgabe der von der Speicheranordnung her bereitgestellten Koeffizienten-Paare und der Eingangs-Digitalsignale die genannten Ausgangs-Digitalsignale erzeugt.

3. Digitalsignalumsetzer nach Anspruch 2, dadurch gekennzeichnet, daß das Rechenwerk einen Multiplizierer (MUL 1) aufweist, welcher auf das Auftreten eines Adressensignals hin ein dem von der Speicheranordnung (SP1, SP2) bereitgestellten Koeffizienten a_i und dem jeweiligen Eingangs-Digitalsignal entsprechendes Produktsignal bildet und diese einem Summierer (SUM 2) zuführt, der aus dem Produktsignal und dem von der Speicheranordnung gerade bereitgestellten Koeffizienten b_i ein Summensignal als Ausgangs-Digitalsignal bildet.

4. Digitalsignalumsetzer nach Anspruch 2, dadurch gekennzeichnet, daß als Rechenwerk eine Mikroprozessoranordnung vorgesehen ist.

Beschreibung

Die Erfindung betrifft einen Digitalsignalumsetzer mit nichtlinearer Umsetzkennlinie, insbesondere einen Echosignalkompensator, für die Umsetzung von eine erste Anzahl von Signalelementen aufweisenden Eingangs-Digitalsignalen in von diesen linear abhängige Ausgangs-Digitalsignale, die jeweils eine zweite, gegebenenfalls von der ersten Anzahl von Signalelementen abweichende Anzahl von Signalelementen aufweisen.

Aus der Zeitschrift "IEEE Transactions on Communications", VOL. COM-30, Nr. 11, Nov. 1982, Seiten 2421

bis 2433 sind bereits Echosignalkompensatoren für die Kompensation von nichtlinear von den zu übertragenden Digitalsignalen abhängigen Echosignalen bekannt. Ein erster Echosignalkompensator arbeitet dabei nach einem sogenannten Speicherkompensations-Prinzip (memory compensation). Gemäß diesem Prinzip werden den möglichen Kombinationen von N aufeinanderfolgenden zu übertragenden Signalelementen entsprechende Kompensationssignale in einer Speicheranordnung gespeichert. Diese Speicheranordnung wird auf jede Übertragung eines Signalelementes hin angesteuert, um das dem jeweiligen Signalelement und den zuvor übertragenen ($N - 1$) Signalelementen entsprechende Kompensationssignal bereitzustellen. Mit diesem Echosignalkompensator sind zwar beliebige Nichtlinearitäten in den Echosignalen kompensierbar. Jedoch hängt die für die Speicherung der Kompensationssignale erforderliche Speicherkapazität in der Speicheranordnung von der Anzahl N der für die Bildung der Kompensationssignale zu berücksichtigenden Signalelemente ab.

Bei einem zweiten Echosignalkompensator wird von einem herkömmlichen linearen Echokompensator ausgegangen, beispielsweise von einem Transversalfilter, dem entsprechend der zu berücksichtigenden Nichtlinearitäten in den Echosignalen zusätzliche Kompensationsstufen angefügt sind. Bei diesem Echokompensator ist zwar der für die Bildung von Kompensationssignalen erforderliche Speicheraufwand gegenüber dem zuvor genannten Echokompensator wesentlich reduziert. Jedoch ist für die Realisierung der zusätzlichen Kompensationsstufen ein schaltungstechnischer Aufwand erforderlich, der zuweilen unerwünscht ist.

Es ist nun Aufgabe der vorliegenden Erfindung, einen Weg zu zeigen, wie bei einem Digitalumsetzer der eingangs genannten Art gegenüber dem genannten Stand der Technik der Speicherplatzbedarf und der schaltungstechnische Aufwand reduziert werden können.

Gelöst wird die vorstehend genannte Aufgabe bei einem Digitalsignalumsetzer der eingangs genannten Art erfindungsgemäß dadurch, daß von den Eingangs-Digitalsignalen lediglich durch festgelegte Signalelemente gebildete Signalelemente-Kombinationen zur Auswahl eines ihnen jeweils fest zugeordneten Segmentes der Umsetzkennlinie herangezogen werden und daß für das jeweilige Segment ein Ausgangs-Digitalsignal y der Form $y = a \cdot x + b_i$ gebildet wird, wobei x das jeweils umzusetzende Eingangs-Digitalsignal und a_i, b_i ein dem jeweils ausgewählten Segment zugeordnetes Koeffizienten-Paar darstellen.

Der Vorteil der Erfindung besteht zum einen in der geringen Anzahl von bereitzustellenden Koeffizienten-Paaren und zum anderen in der geringen Anzahl von arithmetischen Operationen, die für die Bildung von Ausgangs-Digitalsignalen durchzuführen sind.

Vorteilhafte Ausgestaltungen des Digitalsignalumsetzers gemäß der vorliegenden Erfindung ergeben sich aus den Unteransprüchen.

Im folgenden wird nun die vorliegende Erfindung anhand von Zeichnungen beispielsweise näher beschrieben.

Fig. 1 zeigt eine Datenübertragungseinrichtung, welche einen Digitalsignalumsetzer gemäß der vorliegenden Erfindung als Echosignalkompensator aufweist und

Fig. 2 zeigt ein Ausführungsbeispiel eines Digitalsignalumsetzers gemäß der vorliegenden Erfindung.

In Fig. 1 ist ein Prinzipschaltbild einer Übertragungseinrichtung für die Übertragung von Digitalsignalen im

Gleichlageverfahren über eine Zweidraht-Leitung *ZLTG* dargestellt. In dieses Prinzipschaltbild sind dabei lediglich die für das Verständnis der vorliegenden Erfindung erforderlichen Schaltungsteile aufgenommen. Bei den Digitalsignalen kann es sich um beliebige mehrstufige Signale handeln, wie z. B. Binärsignale oder die bei einer derartigen Übertragung häufig verwendeten pseudoternären Signale.

Die Übertragungseinrichtung weist eine Sendeeinrichtung *S* auf, welche beispielsweise die von einer Dateneneinrichtung abgegebenen, auf einer Sendeleitung *SL 1* auftretenden Sendesignale in für die Übertragung über die Zweidraht-Leitung geeignete Digitalsignale umsetzt. Eine solche Umsetzung kann beispielsweise darin bestehen, daß von der Dateneneinrichtung abgegebene Binärsignale leistungsverstärkt und anschließend in analoge Digitalsignale umgewandelt werden. Hierfür weist die Sendeeinrichtung *S* eine mit *S 1* bezeichnete Sendeausgangsstufe auf, die über eine Leitung *SL 2* mit einem Digital-/Analog-Wandler *D/A* verbunden ist. Sind dagegen die von der Dateneneinrichtung abgegebenen Binärsignale als von den Binärsignalen abweichende mehrstufige Signale, beispielsweise als pseudoternäre Signale, zu übertragen, so kann der genannten Sendeausgangsstufe *S 1*, wie in Fig. 1 angedeutet, eine entsprechende Umsetzeinrichtung *S 2* vorgeschaltet sein.

Die am Ausgang des genannten Digital-/Analog-Wandlers auftretenden analogen Signale gelangen über eine Gabelanordnung *G* als Sendesignale auf die genannte Zweidraht-Leitung *ZLTG*. Gleichzeitig nimmt diese Gabelanordnung zu der in Fig. 1 dargestellten Übertragungseinrichtung hin übertragene analoge Signale als Empfangssignale auf und leitet diese an eine Empfangseinrichtung *E* weiter. Dabei gibt die Gabelanordnung zusätzlich zu den Empfangssignalen an die Empfangseinrichtung noch als Echosignale bezeichnete Störsignale ab, welche bei der Abgabe von Sendesignalen entweder direkt in der Gabelanordnung durch eine nicht vollständige Entkopplung der Übertragungswege oder an Reflexionsstellen der Zweidraht-Leitung entstehen. Damit erhält die Empfangseinrichtung nicht nur die tatsächlichen Empfangssignale, sondern ein aus diesen und den Echosignalen gebildetes Signalgemisch zugeführt.

Von der Empfangseinrichtung *E* sind in Fig. 1 dargestellt ein Analog-/Digital-Wandler *A/D*, ein diesem nachgeschalteter Subtrahierer *SUB* und schließlich eine mit dem Ausgang des Subtrahierers verbundene Empfangssteuerung *ES*. Der Analog-/Digital-Wandler entnimmt dabei dem ihm zugeführten Signalgemisch in vorgegebenen Zeitabständen Abtastproben und wandelt diese in den jeweiligen Abtastproben entsprechende codierte Bitgruppen um, die an parallelen Ausgängen des Analog-/Digital-Wandlers auftreten. Mit den einzelnen Bitgruppen, die immer noch in codierter Form Abtastproben des Signalgemisches darstellen, werden dann erste Eingänge des Subtrahierers *SUB* angesteuert. Weiteren Eingängen dieses Subtrahierers werden dabei gleichzeitig mit jeder Bitgruppe eine dem darin enthaltenen Echosignalanteil entsprechende Bitgruppe als Kompensationssignal zugeführt, so daß am Ausgang des Subtrahierers Bitgruppen auftreten, die lediglich noch die den Empfangssignalen entsprechenden Signale in codierter Form enthalten. Aus diesen Bitgruppen werden schließlich in der dem Subtrahierer nachgeschalteten Empfangssteuerung *ES* Binärsignale abgeleitet, die der bereits genannten Dateneneinrichtung über

eine Empfangsleitung *EL* zugeführt werden.

Bei dem in Fig. 1 dargestellten Ausführungsbeispiel wird davon ausgegangen, daß die genannten Bitgruppen innerhalb der Empfangseinrichtung *E* zwischen den genannten Schaltungsteilen über aus einer vorgegebenen Anzahl von parallelen Einzelleitungen bestehende Leitungssysteme übertragen und innerhalb der jeweiligen Schaltungsteile parallel behandelt werden. Demgegenüber wäre es jedoch auch möglich, die genannten Bitgruppen zwischen den einzelnen Schaltungsteilen der Empfangseinrichtung seriell zu übertragen und innerhalb der Schaltungsteile eine serielle Behandlung vorzunehmen.

Für die Erzeugung der zu vorgenannten Kompensationssignale weist die in Fig. 1 dargestellte Übertragungseinrichtung eine Kompensatoranordnung auf. Diese Kompensatoranordnung besteht insgesamt aus drei gesonderten Echosignalkompensatoren. Ein erster mit *LK* bezeichneter Echokompensator ist mit der bereits genannten Leitung *SL 1* verbunden und bildet nach Maßgabe der über die Leitung *SL 1* übertragenen Digitalsignale (Sendesignale) lediglich linear von den übertragenen Signalen abhängige Kompensationssignale. Derartige Echokompensatoren und deren Wirkungsweise sind bereits bekannt, so daß auf diesen Echokompensator *LK* im folgenden nicht näher eingegangen wird. Bezüglich dieses Echokompensators sei hier lediglich noch angemerkt, daß dieser bei dem vorliegenden Ausführungsbeispiel als Kompensationssignale jeweils eine bereits obengenannte Bitgruppe bildet und diese an ein aus einer Mehrzahl von parallelen Einzelleitungen bestehendes Leitungssystem *SL 3* abgibt.

An das Leitungssystem *SL 3* ist ein zweiter Echokompensator *NK 1* angeschlossen. Dieser Echokompensator leitet aus den ihm jeweils zugeführten Signalen, hier den Kompensationssignalen des ersten Echokompensators *LK*, Kompensationssignale für die Kompensation der nichtlinearen von den zu übertragenden Sendesignalen abhängigen Echosignale ab.

Neben dem gerade genannten nichtlinearen Echokompensator *NK 1* ist noch ein zweiter nichtlinearer Echokompensator *NK 2* vorgesehen. Dieser Echokompensator ist über ein Leitungssystem *SL 4* mit einem Ausgang der bereits genannten Sendeausgangsstufe *S 1* der Sendeeinrichtung *S* verbunden und gibt wie der erste nichtlineare Echokompensator Kompensationssignale für die Kompensation der nichtlinearen von den zu übertragenden Sendesignalen abhängigen Echosignale ab.

Die zuvor genannten drei Echokompensatoren geben jeweils die von ihnen gebildeten Kompensationssignale in paralleler Form über ein Leitungssystem an einen mit *SUM 1* bezeichneten Summierer ab, der aus den einzelnen Kompensationssignalen ein Summenkompensationssignal bildet und dieses dem bereits genannten Subtrahierer *SUB* der Empfangseinrichtung *E* zuführt.

Durch die aus dem linearen Echokompensator *LK* und dem nichtlinearen Echokompensator *NK 1* bestehende Reihenschaltung können beispielsweise neben den linearen Echosignalanteilen auch nichtlineare, durch Eingangsstufen der Empfangseinrichtung *E*, wie z. B. durch den in Fig. 1 dargestellten Analog/Digital-Wandler *A/D*, hervorgerufene nichtlineare Echosignalanteile kompensiert werden. Dagegen ermöglicht der nichtlineare Echokompensator *NK 2* die Kompensation von nichtlinearen Echosignalanteilen, die durch die Sendeausgangsstufe *S 1* der Sendeeinrichtung *S* hervorgerufen werden. Entgegen dem in Fig. 1 dargestellten Aus-

führungsbeispiel können die aus dem linearen Echokompensator *LK* und dem nichtlinearen Echokompensator *NK 1* bestehende Reihenschaltung und der nichtlineare Echokompensator *NK 2* auch je nach dem Entstehungsort von nichtlinearen Echosignalanteilen mit anderen Schaltungsteilen der Sendeeinrichtung *S* verbunden sein. Darüber hinaus ist es auch möglich, lediglich einen der beiden nichtlinearen Echokompensatoren einzusetzen, beispielsweise den nichtlinearen Echokompensator *NK 1*, wenn die auftretenden nichtlinearen Echosignalanteile von den Eingangsstufen der Empfangseinrichtung herrühren. Dagegen ist für den Fall, daß nichtlineare Echosignalanteile lediglich durch die Sendeausgangsstufe *S 1* der Sendeeinrichtung *S* hervorgerufen werden, nur der nichtlineare Echokompensator *NK 2* erforderlich.

Die drei zuvor genannten Echokompensatoren sind hinsichtlich der Abgabe von Kompensationssignalen adaptiv einstellbar. Dafür erhalten sie die bereits genannten, am Ausgang des Subtrahierers *SUB* auftretenden Bitgruppen zugeführt. Das für diese Zuführung benutzte Leitungssystem ist in Fig. 1 mit *e* bezeichnet.

Wie bereits vorstehend angedeutet, sind lineare Echokompensatoren hinlänglich bekannt, so daß im weiteren auf den linearen Echokompensator *LK* nicht näher eingegangen wird. Dagegen wird im folgenden ein Ausführungsbeispiel für einen nichtlinearen Echokompensator näher erläutert. Dabei wird bei dem Ausführungsbeispiel davon ausgegangen, daß als Sendesignale Binärsignale übertragen werden und daß in der Sendeausgangsstufe *S 1* der Sendeeinrichtung *S* ein Serien-Parallel-Umsetzer, beispielsweise in Form eines Schieberegisters mit parallelen Ausgängen vorgesehen ist, welcher auf jede Übertragung eines Bits der Binärsignale eine aus diesem und den $(N - 1)$ zuvor übertragenen Bits eine aus N -Bits bestehende Bitgruppe bildet. Außerdem möge auch der lineare Echokompensator *LK* auf jede Übertragung eines Bits hin ein aus N -Bits bestehendes Kompensationssignal bereitstellen.

In Fig. 2 ist das gerade erwähnte Ausführungsbeispiel für einen nichtlinearen Echokompensator dargestellt. Bei diesem Echokompensator wird die zu realisierende nichtlineare Umsetzkennlinie durch eine vorgegebene Anzahl M stückweiser linearer Segmente angenähert, indem die dem Echokompensator zugeführten Bitgruppen jeweils entsprechend einer durch festgelegte Bits gebildeten Bitkombination einem der vorgegebenen Segmente zugeordnet werden. Für jedes dieser Segmente wird ein Kompensationssignal y der Form

$$y = a_i x + b_i$$

gebildet. Dabei bedeuten x die dem Echokompensator gerade zugeführte Bitgruppe und a_i, b_i ein Kompensationssignal-Koeffizienten-Paar, welches innerhalb des der gerade vorliegenden Bitgruppe x zugeordneten Segmentes zu verwenden ist.

Der in Fig. 3 dargestellte nichtlineare Echokompensator weist für die Bildung der genannten Kompensationssignale eine Codiereinrichtung *COD* auf. Diese Codiereinrichtung nimmt eine Einordnung der ihr zugeführten Bitgruppen in die M vorgegebenen linearen Segmente der Umsetzkennlinie vor, indem sie die in den Bitgruppen jeweils enthaltenen Bitkombinationen als dualcodierte Werte bewertet und diese einem der vorgegebenen M Segmente durch Abgabe eines entsprechenden Adresssignals zuordnet. Dies kann beispielsweise dadurch erfolgen, daß für die Anzahl der linearen

Segmente eine 2er Potenz gewählt wird und daß die Codiereinrichtung *COD* von den ihr jeweils zugeführten Bitgruppen lediglich eine der Anzahl der M Segmente entsprechende Anzahl von höherwertigen Bits als Adresssignal bereitstellt. So können z. B. durch die drei höchstwertigen Bits der der Codiereinrichtung zugeführten Bitgruppen insgesamt acht lineare Segmente festgelegt werden.

Die von der Codiereinrichtung *COD* abgegebenen Adresssignale erhält eine Speicheranordnung zugeführt. Diese Speicheranordnung weist zwei gesonderte, in Fig. 2 mit *SP 1* und *SP 2* bezeichnete Speicherbereiche auf. Jedem diesem Speicherbereiche ist dabei eine der Anzahl M linearer Segmente entsprechende Anzahl von Speicherplätzen zugehörig. In den Speicherplätzen des Speicherbereiches *SP 1* sind dabei die Kompensationssignal-Koeffizienten a_i in den Speicherplätzen des Speicherbereiches *SP 2* dagegen die Kompensationssignal-Koeffizienten b_i gespeichert.

Mit jeder Zuführung eines Adresssignals treten an den Ausgängen der beiden Speicherbereiche ein dem jeweiligen Adresssignal zugeordnetes Kompensationssignal-Koeffizienten-Paar auf. Der Kompensationssignal-Koeffizient a_i wird dabei einem Multiplizierer *MUL 1* zugeführt, der diesen Kompensationssignal-Koeffizienten mit der der Codiereinrichtung *COD* gerade zugeführten Bitgruppe multipliziert. Mit einem daraus resultierenden Produktsignal werden schließlich erste Eingänge eines Summierers *SUM 2* beaufschlagt, der gleichzeitig an zweiten Eingängen den am Ausgang des Speicherbereiches *SP 2* auftretenden Kompensationssignal-Koeffizienten b_i aufnimmt. Dieser Summierer bildet aus den ihm zugeführten Eingangssignalen ein Summensignal und gibt dieses als Kompensationssignal an den in Fig. 1 mit *SUM 1* bezeichneten Summierer ab.

Der in Fig. 2 dargestellte Echokompensator weist eine Schaltungsanordnung für die adaptive Einstellung der einzelnen, in den Speicherbereichen *SP 1* und *SP 2* gespeicherten Kompensationssignal-Koeffizienten-Paare auf. Diese Schaltungsanordnung stellt diese Koeffizienten-Paare nach der Vorschrift

$$a_i(\text{neu}) = a_i(\text{alt}) + g_{ex}$$

$$b_i(\text{neu}) = b_i(\text{alt}) + g_e$$

ein. Dabei bedeuten a_i, b_i das jeweils einzustellende Kompensationssignal-Koeffizienten-Paar, g eine das Einlaufverhalten des Echokompensators und den Restfehler der Echokompensation beeinflussende Konstante, e die am Ausgang des in Fig. 1 dargestellten Subtrahierers *SUB* auftretende Bitgruppe und x die der Codiereinrichtung *COD* gerade zugeführte Bitgruppe.

Gemäß der oben angegebenen Einstellvorschrift ist für die Einstellung des Kompensationssignal-Koeffizienten b_i ein Summierer *SUM 3* vorgesehen, dem einerseits der gerade am Ausgang des Speicherbereiches *SP 2* auftretende Kompensationssignal-Koeffizient b_i und andererseits die in einem Multiplizierer *MUL 2* mit der Konstanten g multiplizierte, am Ausgang des in Fig. 1 dargestellten Subtrahierers *SUB* gerade auftretende Bitgruppe zugeführt ist. Am Ausgang dieses Summierers tritt der aktualisierte Kompensationssignal-Koeffizient b_i auf. Dieser wird in denjenigen Speicherplatz des Speicherbereiches *SP 2* übertragen, welcher durch das dem Speicherbereich *SP 2* zugeführte Adresssignal angesteuert ist. Dabei wird der bisher in diesem Speicherplatz gespeicherte Kompensationssignal-Koeffizient überschrieben.

Für die Einstellung der in dem Speicherbereich *SP1* gespeicherten Kompensationssignal-Koeffizienten a_i ist ein Summierer *SUM4* vorgesehen, der einerseits den gerade am Ausgang des Speicherbereiches *SP1* auftretenden Kompensationssignal-Koeffizienten und andererseits von einer Multipliziereinrichtung her ein Produktsignal zugeführt erhält. Diese Multipliziereinrichtung besteht aus einem ersten Multiplizierer *MUL3*, der die am Ausgang des in Fig. 1 dargestellten Subtrahierers *SUB* auftretende Bitgruppe mit der der Codiereinrichtung *COD* zugeführten Bitgruppe multipliziert und das daraus resultierende Produktsignal einem weiteren Multiplizierers *MUL4* zuführt, der dieses Produktsignal mit der bereits genannten Konstanten g multipliziert und das daraus resultierende Produktsignal an den bereits genannten Summierer *SUM4* abgibt.

Im übrigen sei noch darauf hingewiesen, daß die Schaltungsanordnung für die Einstellung der Kompensationssignal-Koeffizienten-Paare auch derart ausgebildet sein kann, daß für die Aktualisierung der einzelnen Kompensationssignal-Koeffizienten-Paare nicht die am Ausgang des Subtrahierers *SUB* bzw. am Eingang der Codiereinrichtung *COD* auftretenden Bitgruppen, sondern lediglich deren Vorzeichen berücksichtigt werden. In diesem Falle werden die genannten Bitgruppen den Multiplizierern *MUL2* und *MUL3* über jeweils eine Schaltungsanordnung zur Vorzeichenermittlung zugeführt. Diese Schaltungsanordnungen sind in Fig. 3 mit *SGN1* und *SGN2* bezeichnet.

Der in Fig. 2 dargestellte nichtlineare Echokompensator hat den Vorteil, daß lediglich eine der obengenannten Anzahl M von linearen Segmenten entsprechenden Anzahl von Kompensationssignal-Koeffizienten-Paaren in den Speicherbereichen *SP1* und *SP2* zu speichern und für die Bildung von Kompensationssignalen lediglich zwei arithmetische Operationen, nämlich eine Multiplikation und eine Addition, erforderlich sind.

Abweichend von dem zuvor erläuterten Ausführungsbeispiel für einen nichtlinearen Echokompensator könnten die arithmetischen Operationen für die Bildung von Kompensationssignalen bzw. für die adaptive Einstellung dieser Kompensationssignale auch durch eine Mikroprozessoranordnung ausgeführt werden, der dafür beispielsweise von einer ihr zugeordneten Speicheranordnung (*SP1*, *SP2*) her die zuvor erwähnten Kompensationssignal-Koeffizienten-Paare zur Verfügung gestellt werden.

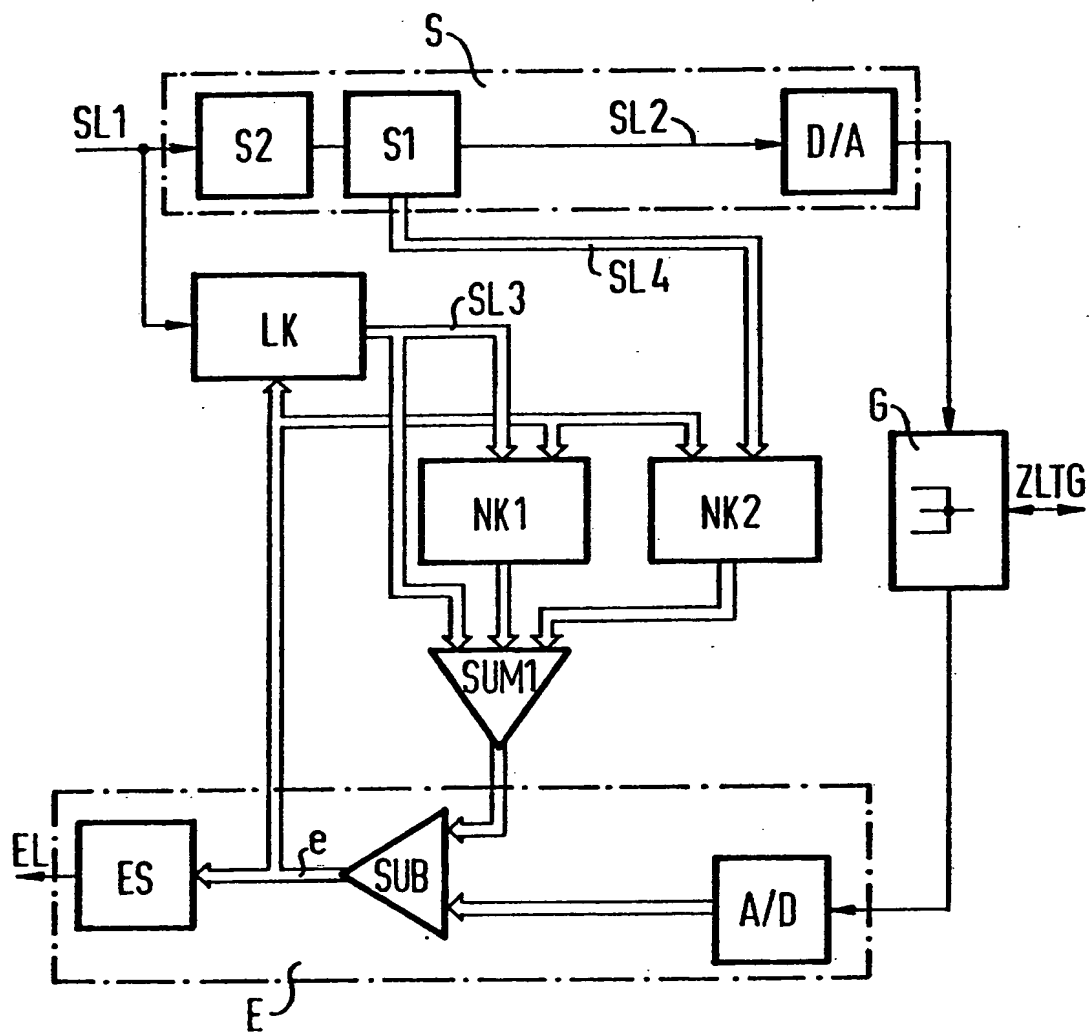
Abschließend sei noch darauf hingewiesen, daß zwar die Erfindung am Beispiel eines nichtlinearen Echokompensators erläutert worden ist. Deren Verwendung beschränkt sich jedoch nicht auf das Gebiet der Echokompensation. Vielmehr ist der Digitalsignalumsetzer der vorliegenden Erfindung allgemein für eine nichtlineare Umsetzung von Digitalsignalen geeignet. So ist beispielsweise dieser Digitalsignalumsetzer in Entzerranordnungen für die Erzeugung von Korrektursignalen einsetzbar, mit deren Hilfe in den zu entzerrenden Signalen auftretende, von ihnen nichtlinear abhängige Störsignale kompensiert werden können.

- Leerseite -

1/2

3705176

FIG 1



ORIGINAL INSPECTED

2/2

3705176

FIG 2

